



平成23年12月8日
筑波大学

**立体構造トランジスタのドレイン電流雑音の低減機構を明らかにし、
静かなトランジスタ構造実現の設計指針を開発
～量子閉じ込めによるチャネルの電荷中心制御に鍵～**

筑波大学（学長：山田信博）大学院数理物質系の大毛利健治准教授らは、立体構造トランジスタの究極的な形であるナノワイヤ型トランジスタが、従来のプレーナ型に比べて雑音強度を抑制することができることを見出し、あわせてその理由が、量子閉じ込めによるチャネル電荷中心位置の制御にある事を明らかにしました。

集積回路の性能は、MOSFETの微細化／高集積化により向上してきました。しかしながら微細化を押し進めると、素子中の電荷（キャリア）が減少して不純物散乱やトラップによる電荷の空間分布が不均一になり、特性の揺らぎを引き起こします。特にドレイン電流特性は、時間的な揺らぎによる雑音の増大をもたらし、回路の遅延ばらつきや信号の埋没を引き起こし、動作不良の原因となります。これらの空間的・時間的な揺らぎは素子の微細化の制限要因であり、これまで素子開発のボトルネックとなっていました。

本研究グループは、素子を立体構造化することでMOSFET雑音の主要因である低周波雑音（ $1/f$ 雑音）を低減させることが可能であることを確認し、さらにこの素子における電荷の量子閉じ込め効果が、酸化膜トラップを介したチャネル電子の捕獲・放出を回避することに大きく寄与していることを見出しました。

この成果は、低雑音で時間揺らぎを抑制した“静かなトランジスタ”の構造開発と集積回路の信頼性向上を可能にします。

本研究は、JST-CRESTの支援により行われました。また、東京工業大学の岩井洋教授のグループの協力を得て行われ、その一部はNEDOにより支援されました。

本研究成果は、2011年12月7日（水）11時35分（米国東部時間）にInternational Electron Devices Meetingにおいて発表しました（講演番号27.7）。

本成果は、以下の事業・研究領域・研究課題によって得られました。

戦略的創造研究推進事業 CREST

研究領域：「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」
（研究総括：渡辺久恒（株）EUVL基盤開発センター 代表取締役社長）

研究課題名：ナノデバイスのピコ秒物理の解析による揺らぎ最小化設計指針の開発

研究代表者：大毛利健治（筑波大学）

研究期間：平成21年10月～平成25年3月

JSTはこの領域で、限界に直面している課題を材料・プロセス科学の基礎に戻って徹底的に理解し新たなコンセプトを創出、あるいは従来技術の置き換えを追求しています。上記研究課題では、ナノデバイスのキャリア伝導を計測・解析し、非定常・非平衡状態のナノ伝導電子科学を深耕し、時間的・空間的な揺らぎが抑制されたナノデバイスの設計指針開発を目指しています。

<研究の背景と経緯>

トランジスタの微細化/高集積化は、素子の性能を向上させますが、一方で10億以上ものトランジスタを素子上で均質な特性で作製することは非常に困難なことです。一方、微細化は少ない電子数での情報伝達を可能にしますが、同時に電流の時間的な揺らぎによる回路動作のエラーや遅延を引き起こします。このようなトランジスタの特性揺らぎは、微細化/高集積化により一層顕著なものとなるため、特性揺らぎを制御することは非常に重要です。

MOSFET (*1) において、ドレイン電流の時間揺らぎは、雑音強度の周波数依存性が関与しており、 $1/f$ 雑音 (*2) が支配的です。 $1/f$ 雑音は、周波数に反比例するため、低周波ほど雑音強度が大きくなる傾向にあり、その原因として、チャンネル電子がゲート絶縁膜中のトラップに捕獲・放出されることが考えられています。特に微細化によってキャリア数の減少が著しいため、不純物やトラップ準位による電荷の空間分布の不均一性が、ドレイン電流に大きな影響を与えます。

こうした状況のなか、次世代のトランジスタとしては、より効果的にゲート電界を印加し、短チャンネル効果 (*3) を抑制できる立体構造トランジスタ (*4) への関心が高まっています。立体構造トランジスタには、フィン型や究極的な構造であるナノワイヤ型が検討されていますが、これらの立体構造トランジスタにおける時間揺らぎの特性は、まだ十分に研究されていませんでした。

<研究の内容>

我々は、立体構造トランジスタの究極的な形であるナノワイヤ型トランジスタについて、その時間揺らぎ(雑音)特性を評価しました。その結果、ナノワイヤ型トランジスタにおいて、低周波雑音強度を大幅に抑制できることを初めて確認しました (図1)。さらに、その要因として、ナノワイヤ中のチャンネルに形成される反転層 (*5) の位置が界面から離れている事を明らかにしました (図2)。反転層の位置が界面から遠ざかると、ゲート電極の容量が低下し、本来は好ましいことではありません。しかしながら、ナノワイヤ構造においては、周囲のゲート電極により、強い量子力学的な電子の閉じ込め効果 (*6) が働くため、反転層の位置が界面から遠ざかってもゲート容量の低下を抑止出来ることが分かりました。さらに雑音強度の低減効果は、ドレイン電圧(1V)を印加した時(オン状態)に、より強く現れることもわかりました。ナノワイヤ構造トランジスタの雑音計測結果は、シュレディンガー=ポアソン方程式を用いたシミュレーション結果 (図3) と整合しており、我々の推論を支持しています。

これらの結果は、ナノワイヤ型トランジスタをはじめとして、フィン構造などの汎用の立体構造トランジスタにも適用することが可能です。

<今後の展開>

今後のトランジスタの開発指針として、揺らぎの抑制は一つの大きな課題となってきました。本研究は、トランジスタの立体化は時間揺らぎの抑制で有利な手段であり、その理由として微細チャンネル構造における量子閉じ込め効果が大きく寄与していることを初めて明らかにしました。この結果は、時間揺らぎを抑制した次世代トランジスタ構造を設計する上で大きな指針となると考えています。以上の成果をもとに、低雑音強度で揺らぎを抑制した「静かなトランジスタ」の開発・実現を目指します。

<参考図>

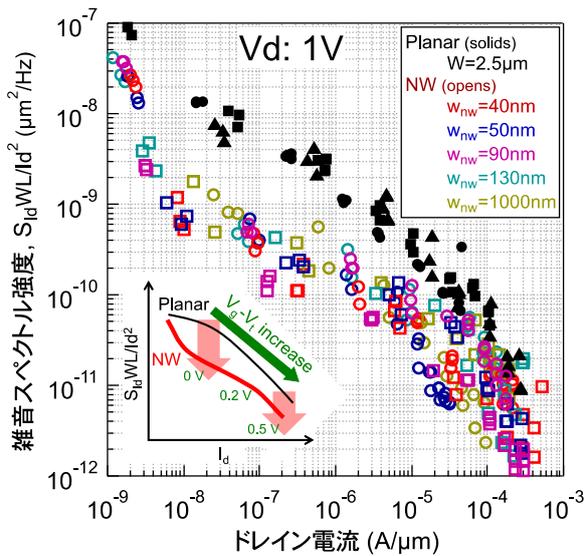


図1 雑音スペクトル強度のドレイン電流依存性。黒はプレーナ型トランジスタ、色付きはナノワイヤ型トランジスタのデータ。同量のドレイン電流を流した場合、ナノワイヤ型トランジスタの雑音強度が約一桁少ないことがわかる。

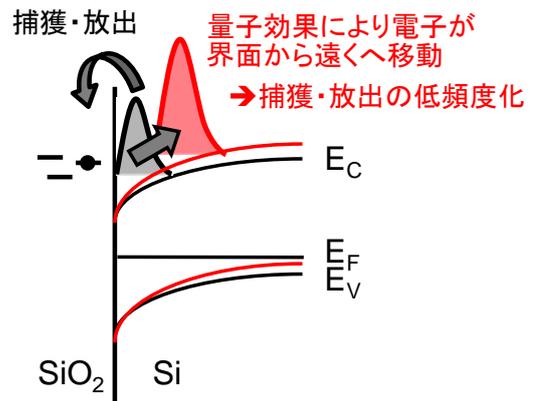
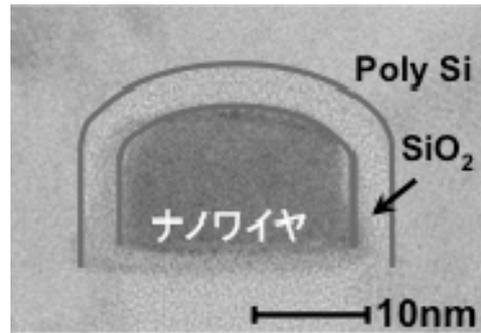


図2 (上) ナノワイヤ型 MOSFET のチャンネル断面図。(下) ナノワイヤチャンネルでの量子閉じ込め効果によって、キャリア電荷中心が SiO₂/Si 界面から遠ざかり、1/f 雑音の原因であるトラップでの捕獲・放出が抑制される。

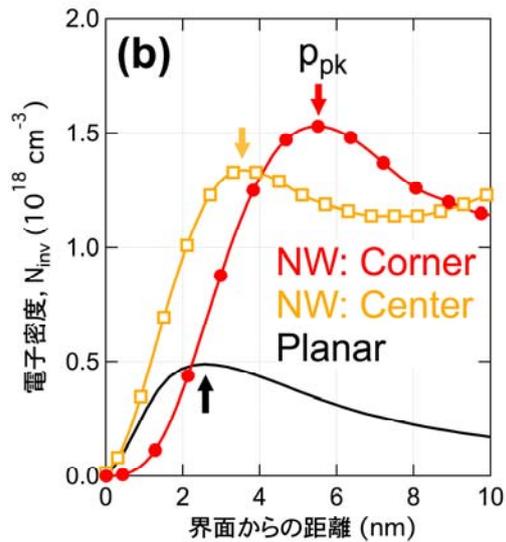
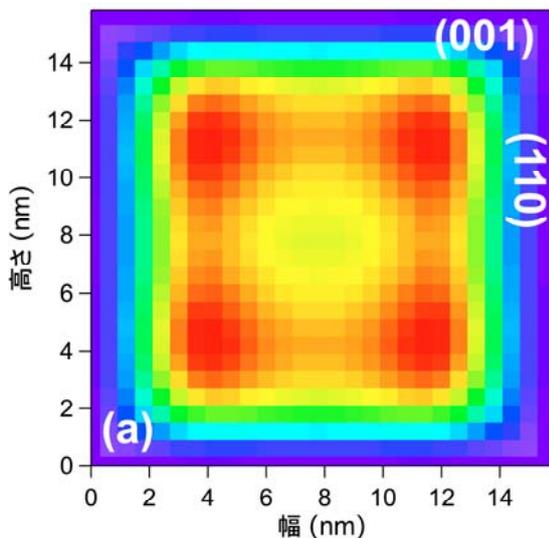


図3 ポアソン・シュレディンガー方程式により計算したナノワイヤ中での電子密度分布。(a) 15nm × 15nm のナノワイヤ断面における分布図。側面は SiO₂/Si 界面であるが、密度の大きい4つの領域が、中心に近く形成されている。(b) 電子密度の SiO₂/Si 界面からの距離依存性。プレーナ型(黒)と比較した場合、ナノワイヤ型トランジスタにおいて、より界面から遠い位置に電子密度のピークが存在する。またそのピーク位置の移動は、ナノワイヤのコーナにおいて顕著である。さらに量子効果によって高い電子密度を得ることが出来る。

<用語解説>

(*1) MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)

金属／酸化膜／半導体構造をチャネルに用いた電界効果トランジスタ。電子をキャリアとする n 型 MOSFET とホールをキャリアとする p 型 MOSFET があり、それらを組み合わせてインバータ、NAND、NOR、SRAM (static random access memory) 等の回路を構成する。集積回路の最も基本的な要素素子である。

(*2) 1/f 雑音

雑音はその周波数依存性によって幾つかの種類に分けることが出来る。1/f 雑音は雑音強度が周波数の逆数に比例するもので、周波数依存性のない熱雑音が、白色雑音と言われるのに対し、ピンクノイズとも言われる。1/f 特性は、ゆらぎとして様々な現象に現れる事が知られている。

MOSFET においては、ドレイン電流の揺らぎが特にその低周波側 ($\sim 100\text{kHz}$) で 1/f 特性を示すことが知られており、その機構としてキャリア数の揺らぎ (number fluctuation) と移動度揺らぎ (mobility fluctuation) があげられる。キャリア数の揺らぎとして、キャリア電子が酸化膜中のトラップに捕獲・放出されることによるポテンシャル変化が大きな要因の一つである。

(*3) 短チャネル効果

チャネル長の減少等によりゲートからの電界効果が低下しチャネルでのオン／オフを制御できなくなる事。

(*4) 立体構造トランジスタ

1948 年の点接触型トランジスタの発明は、1959 年にプレーナ (平面構造) 技術によって集積 (IC) 化を可能としました。それ以来、平面構造の MOSFET を微細化する事で高集積化・高性能化が達成されて来ました。しかしながら、短チャネル効果の顕在化等により、立体構造の必要性が提案されていました。Intel 社は 2011 第 4 四半期からフィン型立体構造トランジスタを製造する事を発表しています。

(*5) 反転層

半導体は添加する不純物によって n 型 (電子) と p 型 (正孔) を作る事が出来る。トランジスタのオン状態では、ゲート電圧によって n 型半導体中に正孔を、p 型半導体中に電子を誘起する必要がある。この元々のキャリア (電子／正孔) と異なるキャリアが誘起された層を反転層という。反転層は MOSFET の絶縁膜／半導体界面のチャネル領域に形成される。

(*6) 量子閉じ込め効果

ナノ構造において電子のエネルギー準位が離散化し、それにより取り得る状態 (運動量、位置) が制限される事。MOSFET のみならず、半導体レーザにおいても利用されている現象である。

<論文名・著者>

Fundamental origin of excellent low-noise property in 3D Si-MOSFETs

~ Impact of charge-centroid in the channel due to quantum effect on 1/f noise ~

W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, and K. Ohmori

『立体構造シリコン MOSFET における低い雑音特性の起源: 量子効果によるチャネル電荷中心移動が 1/f 雑音に与える影響』

フェン・ウェイ、ランガ・ヘッティアラッチ、李映勲、佐藤創志、角嶋邦之、佐藤基之、福田浩一、丹羽正昭、山部紀久夫、白石賢二、岩井洋、大毛利健治

<発表者>

大毛利 健治 (おおもり けんじ)

筑波大学大学院数理物質系

山田 啓作 (やまだ けいさく)

筑波大学大学院数理物質系